

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210730

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 2000-015406

(71)Applicant : OKI ELECTRIC IND CO LTD

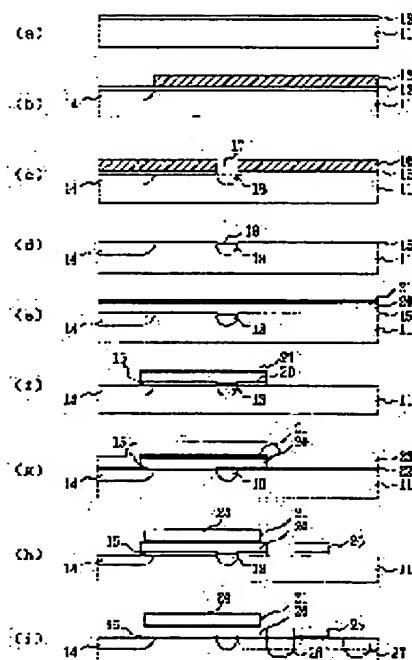
(22)Date of filing : 25.01.2000 (72)Inventor : MIYAGI SUSUMU

(54) MANUFACTURING METHOD OF NON-VOLATILE SEMICONDUCTOR STORAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a non-volatile semiconductor storage that can reduce the size of a cell.

SOLUTION: This non-volatile semiconductor storage is composed of a drain region 14 arranged in a matrix on a P-type semiconductor substrate 11, consists of a plurality memory elements having floating and control gates, is composed by an N-type diffusion region, and is extended in one direction; a source region 18 that is composed by the N-type diffusion region being provided in parallel with the drain region 14 while the floating gate is sandwiched, is composed by a control gate 14 that is formed at a position that opposes the source region 18 while being extended in a direction for crossing the source region 18, applies a positive voltage to a selection source region 26 as writing conditions to the memory element and a positive voltage exceeding a voltage being applied to the source region concerned to a selection work line, grounding a selection drain region 27, and a substrate for injecting electrons into a floating gate. In the non-volatile semiconductor element, a tunnel window 17 is formed and then the source 18 of the memory cell is formed in self-alignment manner.



LEGAL STATUS

[Date of request for examination]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210730

(P2001-210730A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-コード (参考)

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78
27/10

3 7 1 5 F 0 0 1
4 3 4 5 F 0 8 3
5 F 1 0 1

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2000-15406 (P2000-15406)

(22) 出願日 平成12年1月25日 (2000.1.25)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 宮城 享

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100089635

弁理士 清水 守 (外1名)

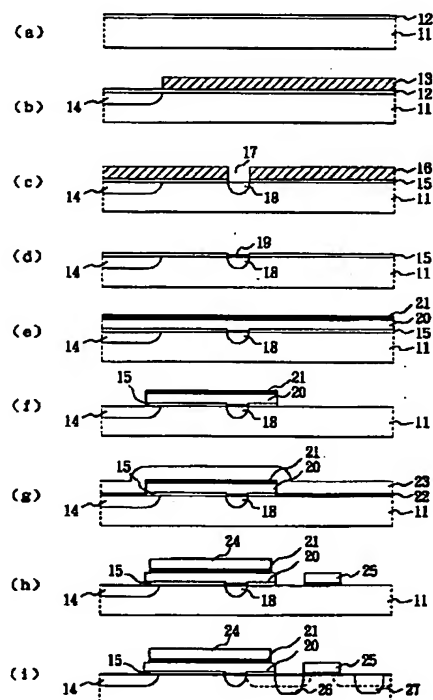
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法

(57) 【要約】 (修正有)

【課題】 セルサイズの縮小を可能にする不揮発性半導体記憶装置の製造方法を提供する。

【解決手段】 P型半導体基板11上にマトリクス状に配置され、それぞれ浮遊ゲート及び制御ゲートを有する複数のメモリ素子からなり、N型拡散領域で構成され、一方向に延長して設けられたドレイン領域14と、浮遊ゲートを挟むようにしてドレイン領域14と平行に設けられたN型拡散層領域で構成されたソース領域18からなり、ソース領域18と対向する位置にソース領域18と交差する方向に延長して形成される制御ゲート24により構成され、かつメモリ素子の書き込み条件に選択ソース領域26に正電圧を、選択ワードラインに該当ソース領域に印加した電圧以上の正電圧を選択ドレイン領域27及び基板を接地し選択的に浮遊ゲートに電子を注入する不揮発性半導体素子において、トンネルウィンドウ17形成後にメモリセルのソース18を自己整合的に形成する。



【特許請求の範囲】

【請求項1】 P型半導体基板上にマトリクス状に配置され、それぞれ浮遊ゲート及び制御ゲートを有する複数のメモリ素子からなり、N型拡散領域で構成され、一方方向に延長して設けられたドレイン領域と、前記浮遊ゲートを挟むようにして前記ドレイン領域と平行に設けられたN型拡散層領域で構成されたソース領域からなり、前記ソース領域と対向する位置にソース領域と交差する方向に延長して形成される制御ゲートにより構成され、かつメモリ素子の書き込み条件に選択ソース領域に正電圧を、選択ワードラインに該当ソース領域に印加した電圧以上の正電圧を選択ドレイン領域及び基板を接地し選択的に浮遊ゲートに電子を注入する不揮発性半導体素子において、トンネルウィンドウを形成後にメモリセルのソースを自己整合的に形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】 請求項1記載の不揮発性半導体記憶装置の製造方法において、前記トンネルウィンドウの形成時にメモリセルのドレイン領域を同時に形成し、前記メモリセルのドレイン及びソースを同時に自己整合的に形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項3】 請求項1記載の不揮発性半導体記憶装置の製造方法において、メモリセルの浮遊ゲート用のポリシリコン膜及びONO膜を形成し、メモリセル領域以外のONO膜を除去し、制御ゲート用のポリシリコン・タングステン積層膜を形成することにより、選択トランジスタのゲート電極をポリシリコン／ポリシリコン・タングステン積層膜構造にすることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項4】 請求項2記載の不揮発性半導体記憶装置の製造方法において、メモリセルの浮遊ゲート用のポリシリコン膜及びONO膜を形成し、メモリセル領域以外のONO膜を除去し、制御ゲート用のポリシリコン・タングステン積層膜を形成することにより、選択トランジスタのゲート電極をポリシリコン／ポリシリコン・タングステン積層膜構造にすることを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性半導体記憶装置の製造方法に関するものである。

【0002】

【従来の技術】 従来のEEPROM（不揮発性半導体記憶装置）の製造方法としては、以下に示すようなものがあった。

【0003】 図6は従来の不揮発性半導体記憶装置の製造工程断面図である。

【0004】 (1) まず、図6(a)に示すように、Si基板1上にLOCOS法などにより素子分離領域を形

成した後、酸化膜2を形成する。

【0005】 (2) 次に、図6(b)に示すように、レジスト3をマスクとしてメモリセルのドレイン4／ソース5を形成すべく砒素(As)などのイオン注入を行う。

【0006】 (3) 次に、レジスト3と酸化膜2を除去した後、図6(c)に示すように、新たにゲート酸化膜6を形成する。そのゲート酸化膜6の形成後、レジスト7をマスクにソース拡散層5の一部に開口部を設けるため、この開口部にあたるゲート酸化膜6の部分をエッチングを行い除去する。この開口部をトンネルウィンドウ8と呼ぶこととする。

【0007】 (4) 次に、図6(d)に示すように、レジスト7を除去後、トンネルウィンドウ部8に薄い酸化膜9を形成した後、メモリセルの浮遊ゲート形成のためのポリシリコン膜10と、その上部に酸化膜-窒化膜-酸化膜の3層構造になるようにONO膜11を熱酸化とCVD（化学的気相成長法）により形成する。

【0008】 (5) 次に、図6(e)に示すように、メモリセルのみにポリシリコン膜10とONO膜11が形成されるようにレジスト（図示なし）を形成し、エッチングを行う。

【0009】 (6) 次に、図6(f)に示すように、選択トランジスタのゲート酸化膜12を形成した後、メモリセルの制御（コントロール）ゲートと選択トランジスタのゲートを形成するために、ポリシリコン・タングステンシリサイドの積層膜13をCVDにより形成する。

【0010】 (7) 次に、図6(g)に示すように、メモリセルの制御ゲート14及び選択トランジスタのゲート15を形成するようにポリシリコン・タングステンシリサイドの積層膜13をエッチングする。

【0011】 (8) 次に、図6(h)に示すように、トランジスタのソース17・ドレイン16は、N⁻領域と深いN⁺領域を、例えば、リン等のN型のイオン注入により形成する。

【0012】 図7はこのようにして得られるEEPROMの回路図である。

【0013】 すなわち、左側からドレイン4と、ゲートと、ソース17とからなるメモリセルと、そのソース17に接続されるソースと、ゲートと、ドレイン16とからなる選択トランジスタが形成される。

【0014】

【発明が解決しようとする課題】 しかしながら、上記した従来のEEPROMの製造方法では、トンネルウィンドウ部の形成前にメモリセルのソース・ドレインを形成するようにしているため、図8(a)及び(b)の①に示すように、ホトリソの合わせずれが発生するため、ホトリソの合わせ余裕を設ける必要がある。

【0015】 また、0.5μmのデザインルールで用いている露光装置では、ホトリソ層で0.2μmの合わ

せずれがある。従って、メモリセルのソース・ドレイン形成ホトリソの合わせ余裕が $0.2\mu\text{m}$ 、トンネルウィンドウ形成ホトリソの合わせ余裕が $0.2\mu\text{m}$ 必要であり、トータルで最低 $0.4\mu\text{m}$ 以上必要となる。

【0016】また、図8(a)及び(b)の②に示すトンネルウィンドウの径においては、現状ではホトリソの解像限界以下の径で形成することはできない。

【0017】本発明は、上記問題点を除去し、トンネルウィンドウ部とメモリセルのソース部とのホトリソ合わせ余裕を縮小するとともに、トンネルウィンドウ寸法をホトリソ解像限界以下の径に縮小し、セルサイズの縮小を可能にする不揮発性半導体記憶装置の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】〔1〕不揮発性半導体記憶装置の製造方法において、P型半導体基板上にマトリクス状に配置され、それぞれ浮遊（フローティング）ゲート及び制御ゲートを有する複数のメモリ素子からなり、N型拡散領域で構成され、一方向に延長して設けられたドレイン領域と、前記浮遊ゲートを挟むようにして前記ドレイン領域と平行に設けられたN型拡散層領域で構成されたソース領域からなり、前記ソース領域と対向する位置にソース領域と交差する方向に延長して形成される制御ゲートにより構成され、かつメモリ素子の書き込み条件に選択ソース領域に正電圧を、選択ワードラインに該当ソース領域に印加した電圧以上の正電圧を選択ドレイン領域及び基板を接地し選択的に浮遊ゲートに電子を注入する不揮発性半導体素子において、トンネルウィンドウの形成後にメモリセルのソースを自己整合的に形成することを特徴とする。

【0019】〔2〕上記〔1〕記載の不揮発性半導体記憶装置の製造方法において、前記トンネルウィンドウの形成時にメモリセルのドレイン領域を同時に形成し、前記メモリセルのドレイン及びソースを同時に自己整合的に形成することを特徴とする。

【0020】〔3〕上記〔1〕記載の不揮発性半導体記憶装置の製造方法において、メモリセルの浮遊ゲート用のポリシリコン膜及びONO膜を形成し、メモリセル領域以外のONO膜を除去し、制御ゲート用のポリシリコン・タングステン積層膜を形成することにより、選択トランジスタのゲート電極をポリシリコン／ポリシリコン・タングステン積層膜構造にすることを特徴とする。

【0021】〔4〕上記〔2〕記載の不揮発性半導体記憶装置の製造方法において、メモリセルの浮遊ゲート用のポリシリコン膜及びONO膜を形成し、メモリセル領域以外のONO膜を除去し、制御ゲート用のポリシリコン・タングステン積層膜を形成することにより、選択トランジスタのゲート電極をポリシリコン／ポリシリコン・タングステン積層膜構造にすることを特徴とする。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図を参照しながら詳細に説明する。

【0023】図1は本発明の第1実施例を示す不揮発性半導体記憶装置の製造工程断面図である。

【0024】（1）まず、図1(a)に示すように、Si基板11上にLOCOS法などにより素子分離領域を形成した後、酸化膜12を生成する。

【0025】（2）次に、図1(b)に示すように、メモリセルのドレインのみ開口するようにレジスト13を形成し、砒素(As)などのイオン注入を行いメモリセルのドレイン14を形成する。

【0026】（3）次に、図1(c)に示すように、レジスト13及び酸化膜12を除去した後、新たにゲート酸化膜15を形成し、トンネルウィンドウ領域17のみ開口するようにレジスト16を形成し、レジスト16をマスクに砒素(As)などのイオン注入を行い、メモリセルのソース18を形成する。

【0027】（4）次に、図1(d)に示すように、レジスト16を除去後、トンネルウィンドウ部にトンネル酸化膜19を形成する。

【0028】（5）次に、図1(e)に示すように、メモリセルの浮遊ゲートの形成のためのポリシリコン膜20とその上部に酸化膜—窒化膜—酸化膜の3層構造になるようにONO膜21を熱酸化とCVDにより形成する。

【0029】（6）次に、図1(f)に示すように、メモリセルのみにポリシリコン膜20とONO膜21が形成されるようにレジスト（図示なし）を形成し、エッチングを行う。

【0030】（7）次に、図1(g)に示すように、選択トランジスタのゲート酸化膜22を形成した後、メモリセルの制御ゲートと選択トランジスタのゲートを形成するために、ポリシリコン・タングステンシリサイドの積層膜23をCVDにより形成する。

【0031】（8）次に、図1(h)に示すように、メモリセルの制御ゲート24及び選択トランジスタのゲート25を形成するように、ポリシリコン・タングステンシリサイドの積層膜23をエッチングする。

【0032】（9）次に、図1(i)に示すように、選択トランジスタのソース26・ドレイン27を、N⁻領域と深いN⁺領域をリンなどのN型のイオン注入により形成する。

【0033】従来技術では、トンネルウィンドウとメモリセルドレイン間のホトリソ合わせ余裕の最低寸法が $0.4\mu\text{m}$ 以上必要であったが、上記したように第1実施例によれば、トンネルウィンドウ領域形成後にメモリセルのソースを形成することにより、ホトリソ合わせ余裕をなくすることが可能となり、メモリセルサイズを $0.4\mu\text{m}$ 縮小することができる。

【0034】次に、本発明の第2実施例について説明す

る。

【0035】第1実施例では、メモリセルのドレイン部とトンネルウィンドウ部とのホトリソ余裕は解決できるが、メモリセルのソース・ドレインを別々の工程にて形成しているため、メモリセルのソース・ドレイン間の寸法が不安定となる問題がある。メモリセルのソース・ドレイン間の寸法の最大・最小は、ソース形成のホトリソ及びトンネルウィンドウの形成のホトリソのホトリソ合わせ精度によって決まるため、例えば、 $0.5\mu\text{m}$ のデザインルールで用いる露光装置では、最大で $0.4\mu\text{m}$ 、最小で $0.4\mu\text{m}$ メモリセルのソース・ドレイン間の寸法差が発生する場合がある。

【0036】これを解決するようにしたが、第2実施例である。

【0037】図2は本発明の第2実施例を示す不揮発性半導体記憶装置の製造工程断面図である。

【0038】(1) まず、図2(a)に示すように、Si基板31上にLOCOS法などにより素子分離領域を形成した後、ゲート酸化膜32を形成する。そして、メモリセルのソース・ドレイン領域を開口するようにレジスト33を形成し、砒素(As)などのイオン注入を行いメモリセルのドレイン34・ソース35を形成する。

【0039】(2) 次に、図2(b)に示すように、レジスト33を除去後、トンネルウィンドウ部にトンネル酸化膜36を形成し、浮遊ゲート形成のためのポリシリコン膜37とONO膜38を形成し、メモリセルを形成する。

【0040】(3) 図2(c)に示すように、以降は、第1実施例と同様にメモリセルの浮遊ゲート、制御ゲート及び選択トランジスタのゲートの形成後、選択トランジスタのソース39・ドレイン40を形成する。

【0041】このように第2実施例によれば、トンネルウィンドウの形成後にメモリセルのソース・ドレインを同時形成するようにしたので、トンネルウィンドウと、メモリセルドレイン間のホトリソ合わせ余裕分が削除可能となり、かつ第1実施例で問題となったメモリセルのソース・ドレイン間の寸法ばらつきがなくなることにより、常に安定したソース・ドレイン間隔が得られる。また、メモリセルのソースとトンネルウィンドウとのホトリソ合わせ余裕を削除することも可能となる。

【0042】次に、本発明の第3実施例について説明する。

【0043】第2実施例では、トンネルウィンドウの形成後にメモリセルのドレインを形成するため、トンネルウィンドウ部とメモリセルのドレイン間のホトリソ余裕分を削除することが可能となった。しかし、メモリセルのエッジにポリシリコン・タングステンシリサイドの積層膜のフィラメントが残るという問題がある。

【0044】この点を図3を参照しながら説明する。

【0045】(1) まず、図3(a)に示すように、第

1実施例と同様に、メモリセルの浮遊ゲート41を形成する。42はゲート酸化膜である。

【0046】(2) 次いで、図3(b)に示すように、選択トランジスタのゲート酸化膜を形成するため、エッチングを行い、メモリセルのゲート酸化膜42を除去する。このゲート酸化膜42をSi基板にダメージが入らないようにエッチングする際、ゲート酸化膜42は等方エッチングされるため、浮遊ゲート41のエッジ下のメモリセルのゲート酸化膜も同時にエッチングされ、エッチング箇所43ができる。

【0047】(3) 次いで、図3(c)に示すように、選択トランジスタのゲート酸化膜44を形成後、ポリシリコン・タングステンシリサイドの積層膜45を形成する。この際、浮遊ゲートエッジ下のメモリセルのゲート酸化膜がエッチングされたエッチング箇所43についてもポリシリコン・タングステンシリサイドの積層膜45が形成される。

【0048】(4) 次に、図3(d)に示すように、メモリセルの制御ゲート及び選択トランジスタのゲートを形成するためにエッチングを行う。エッチングはSi基板に対して垂直方向にエッチングされるため、Si基板に水平方向にはエッチングされない。このため、浮遊ゲートエッジであるエッチング箇所43下に形成されたポリシリコン・タングステンシリサイドの積層膜45はエッチングされず、フィラメント46として形成される。

【0049】このようにして形成されたフィラメント46は剥がれることにより、配線のショートを引き起こす場合がある。

【0050】この問題を解決するために、第3実施例として図4を参照しながら説明する。

【0051】図4は本発明の第3実施例を示す不揮発性半導体記憶装置の製造工程断面図である。

【0052】(1) まず、図4(a)に示すように、第1実施例と同様に、Si基板51上にLOCOS法などにより素子分離領域を形成した後、酸化膜52を形成する。その後メモリセルのドレイン領域を開口するようにレジスト53を形成し、イオン注入を行い、メモリセルのドレイン54を形成する。

【0053】(2) 次に、図4(b)に示すように、トンネルウィンドウ領域を開口するようにレジスト55を形成し、メモリセルのソース56をイオン注入により形成する。

【0054】(3) 次に、図4(c)に示すように、トンネル酸化膜57を形成後、ポリシリコン膜58及びONO膜59を形成する。

【0055】(4) 次に、図4(d)に示すように、メモリセル形成領域にONO膜59が形成されるようにエッチングを行う。

【0056】(5) 次に、図4(e)に示すように、メモリセルのドレイン54領域のみポリシリコン膜58を

除去するように、レジスト60を形成する。この際、レジスト60のエッジは、ONO膜59上に形成する。その後、レジスト60及びONO膜59をエッチングのマスクとしてポリシリコン膜58をエッチングし除去する。

【0057】(6) 次に、図4(f)に示すように、メモリセルの制御ゲートと選択トランジスタのゲートを形成するためにポリシリコン・タングステンシリサイドの積層膜61をCVDにより形成する。

【0058】(7) 次に、図4(g)に示すように、メモリセルの制御ゲート62及び選択トランジスタのゲート63を形成するようにポリシリコン・タングステンシリサイドの積層膜61をエッチングする。この際、メモリセルの制御ゲート62は浮遊ゲートより小さく形成する。

【0059】(8) 次に、図4(h)に示すように、以降は、第1実施例と同様に、選択トランジスタのソース64・ドレイン65を形成する。

【0060】このように第3実施例によれば、第1実施例と同様に、トンネルウィンドウの形成後にメモリセルのソースを形成するようにすることにより、トランジスタウィンドウとメモリセルのソース間のホトリソ合わせ余裕分が削除可能となり、かつ第1実施例で発生する浮遊ゲート下のポリシリコン・タングステンシリサイドの積層膜のフィラメントの形成も、メモリセルのゲート酸化膜除去を行わないため、フィラメントが発生することがなくなる。

【0061】次に、本発明の第4実施例について説明する。

【0062】第2実施例では、メモリセルのソース部とトンネルウィンドウ部との余裕をなくし、かつメモリセルのソース・ドレイン間の寸法の安定化を行うことが可能となった。しかし、メモリセルのエッジにポリシリコン・タングステンシリサイドの積層膜のフィラメントが第1実施例同様に残るといった問題がある。

【0063】これを解決するために第4実施例を説明する。

【0064】図5は本発明の第4実施例を示す不揮発性半導体記憶装置の製造工程断面図である。

【0065】(1) まず、図5(a)に示すように、第2実施例と同様にSi基板71上にLOCOS法などにより素子分離領域を形成した後、ゲート酸化膜72を形成し、メモリセルのドレイン73・ソース74、トンネル酸化膜75を形成し、ポリシリコン膜76、ONO膜77を形成する。

【0066】(2) 次に、図5(b)に示すように、メモリセルのみにONO膜77が形成されるようにレジスト(図示なし)を形成し、エッチングを行う。

【0067】(3) 次に、図5(c)に示すように、メモリセルのソース領域のみポリシリコン膜76を除去す

るようにレジスト78を形成する。この際レジスト78のエッジは、ONO膜77上に形成する。その後レジスト78及びONO膜77をエッチングのマスクとしてポリシリコン膜76をエッチングし除去する。

【0068】(4) 次に、図5(d)に示すように、メモリセルの制御ゲートと選択トランジスタのゲートを形成するためにポリシリコン・タングステンシリサイドの積層膜79をCVDにより形成する。

【0069】(5) 次に、図5(e)に示すように、メモリセルの制御ゲート80及び選択トランジスタのゲート81を形成するようにポリシリコン・タングステンシリサイドの積層膜79をエッチングする。この際メモリセルの制御ゲート80は浮遊ゲートより小さく形成する。

【0070】(6) 以降は、図5(f)に示すように、第2実施例と同様に選択トランジスタのソース82・ドレイン83を形成する。

【0071】このように第4実施例によれば、第2実施例と同様に、トンネルウィンドウの形成後にメモリセルのソース・ドレインを同時形成するようにすることにより、トンネルウィンドウとメモリセルのソース間のホトリソ合わせ余裕分が削除可能となり、かつ、第1実施例で問題となったメモリセルのソース・ドレイン間の寸法ばらつきはなくなり、常に安定したソース・ドレイン間隔が得られる。

【0072】さらに第2実施例で発生する浮遊ゲート下のポリシリコン・タングステンシリサイドの積層膜のフィラメントの問題も、メモリセルのゲート酸化膜除去を行わないため、フィラメントの発生がなくなる。

【0073】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0074】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

【0075】(A) トンネルウィンドウ領域形成後にメモリセルのソースを形成することにより、ホトリソ合わせ余裕をなくすることが可能となり、メモリセルサイズを0.4 μ m縮小することができる。

【0076】(B) トンネルウィンドウの形成後にメモリセルのソース・ドレインを同時形成するようにしたので、トンネルウィンドウと、メモリセルのドレイン間のホトリソ合わせ余裕分が削除可能となり、メモリセルのソース・ドレイン間の寸法ばらつきがなくなることにより、常に安定したソース・ドレイン間隔が得られる。また、メモリセルのソースとトンネルウィンドウとのホトリソ合わせ余裕を削除することも可能となる。

【0077】(C) トンネルウィンドウの形成後にメモリセルのソースを形成するようにすることにより、トラ

ンジスタウィンドウとメモリセルのソース間のホトリソ合わせ余裕分が削除可能となり、かつ、浮遊ゲート下のポリシリコン・タンゲステンシリサイドの積層膜のフィラメントの形成も、メモリセルのゲート酸化膜除去を行わないため、フィラメントが発生することがなくなる。

【0078】(D) トンネルウィンドウの形成後にメモリセルのソース・ドレインを同時形成するようにすることにより、トンネルウィンドウとメモリセルのソース間のホトリソ合わせ余裕分が削除可能となり、かつ、メモリセルのソース・ドレイン間の寸法ばらつきはなくなり、常に安定したソース・ドレイン間隔が得られる。

【0079】さらに、浮遊ゲート下のポリシリコン・タンゲステンシリサイドの積層膜のフィラメントの問題も、メモリセルのゲート酸化膜除去を行わないため、フィラメントの発生がなくなる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す不揮発性半導体記憶装置の製造工程断面図である。

【図2】本発明の第2実施例を示す不揮発性半導体記憶装置の製造工程断面図である。

【図3】フィラメント発生メカニズムの説明図である。

【図4】本発明の第3実施例を示す不揮発性半導体記憶装置の製造工程断面図である。

【図5】本発明の第4実施例を示す不揮発性半導体記憶装置の製造工程断面図である。

【図6】従来のEEPROMの製造工程断面図である。

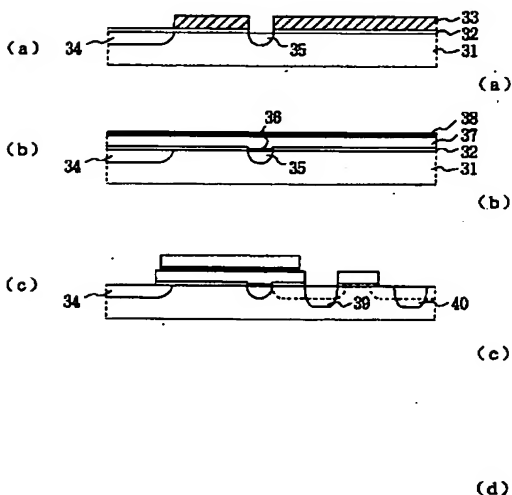
【図7】従来のEEPROMの回路図である。

【図8】従来のEEPROMの問題点の説明図である。

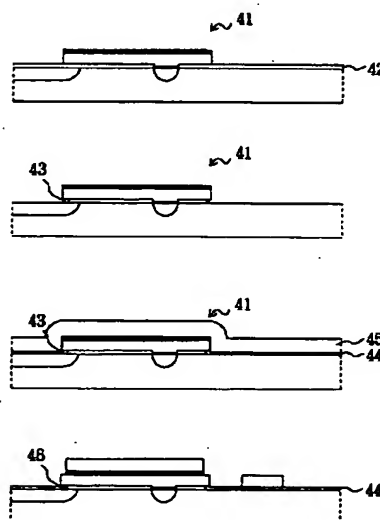
【符号の説明】

- 11, 31, 51, 71 Si基板
- 12, 52 酸化膜
- 13, 16, 33, 53, 55, 60, 78 レジスト
- 14, 34, 54, 73 メモリセルのドレイン
- 15, 22, 32, 72 ゲート酸化膜
- 17 トンネルウィンドウ領域
- 18, 35, 56, 74 メモリセルのソース
- 19, 36, 57, 75 トンネル酸化膜
- 20, 37, 58, 76 ポリシリコン膜
- 21, 38, 59, 77 ONO膜
- 23, 45, 61, 79 ポリシリコン・タンゲステンシリサイドの積層膜
- 24, 62, 80 制御ゲート
- 25, 81 選択トランジスタのゲート
- 26, 39, 64, 82 選択トランジスタのソース
- 27, 40, 65, 83 選択トランジスタのドレイン
- 41 メモリセルの浮遊ゲート
- 42 メモリセルのゲート酸化膜
- 43 エッチング箇所
- 44 選択トランジスタのゲート酸化膜
- 46 フィラメント
- 63 選択トランジスタのゲート

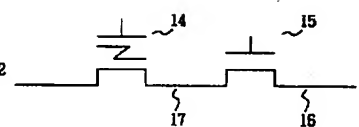
【図2】



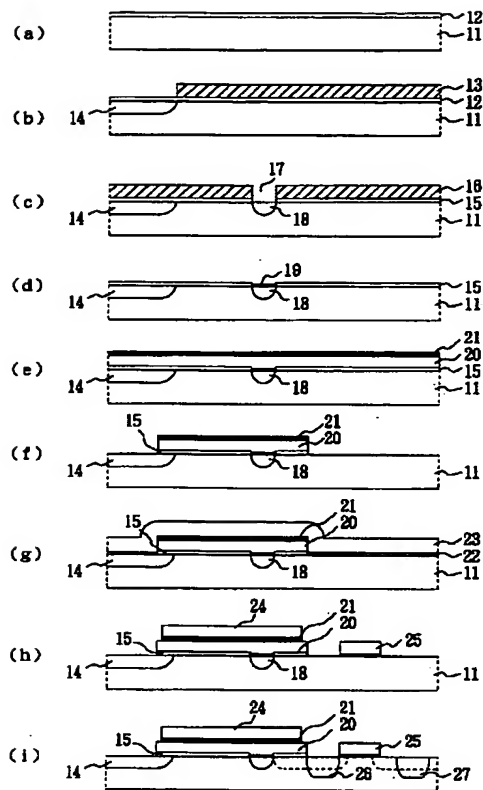
【図3】



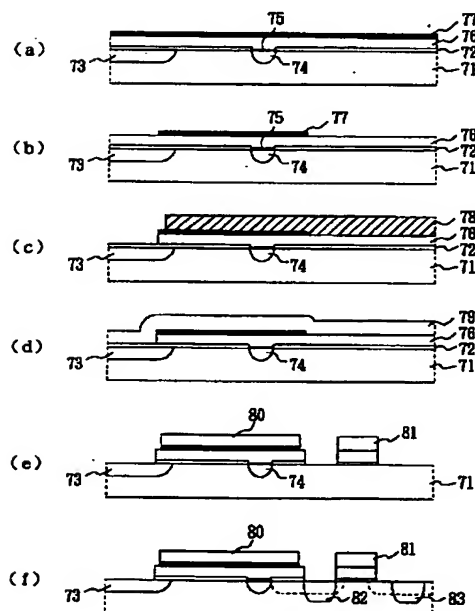
【図7】



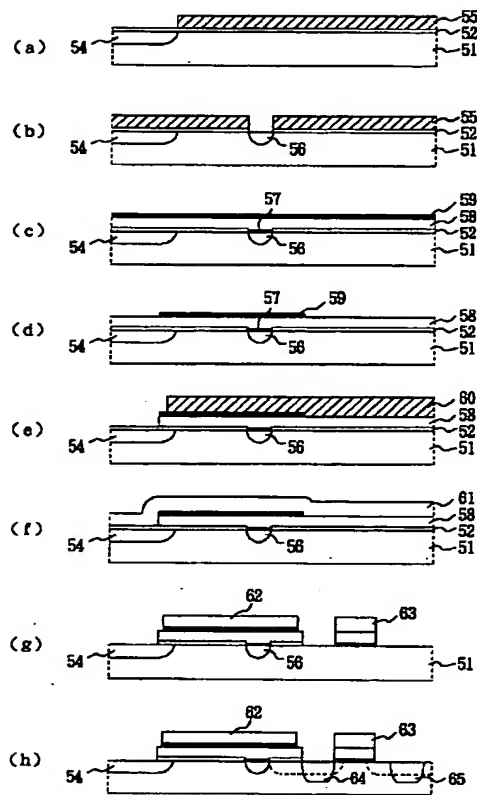
【図 1】



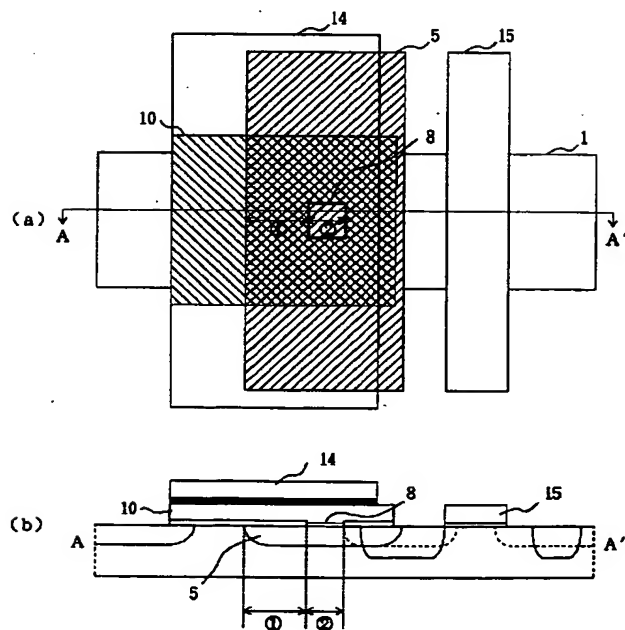
【図 5】



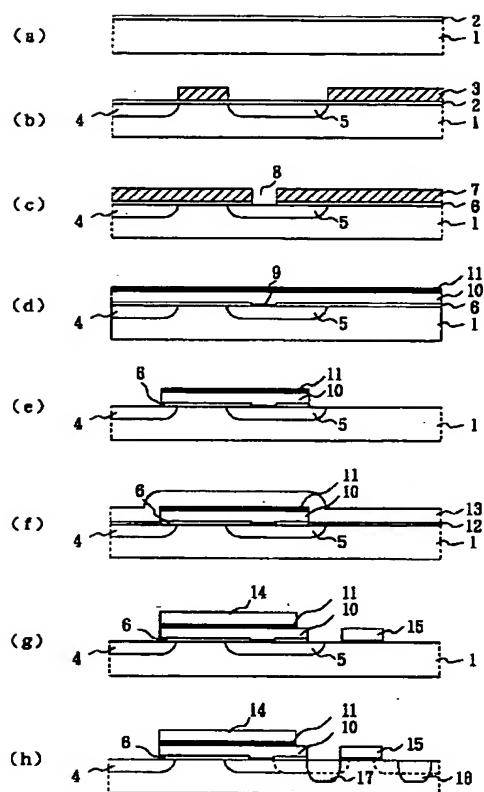
【図 4】



【図 8】



【図6】



フロントページの続き

Fターム(参考) 5F001 AA02 AA43 AA62 AB02 AD15
 AD17 AD41 AD62 AG07 AG22
 5F083 EP02 EP22 EP32 EP55 EP56
 EP63 EP68 EP72 GA09 JA04
 JA35 JA53 PR28 PR29
 5F101 BA02 BA28 BA35 BB02 BD05
 BD07 BD22 BD37 BH04 BH19